

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10125925

(43) Date of publication of application:

15.05.1998

(51) Int. CI.

H01L 29/786

(21)Application number: 08282507 (71)Applicant:

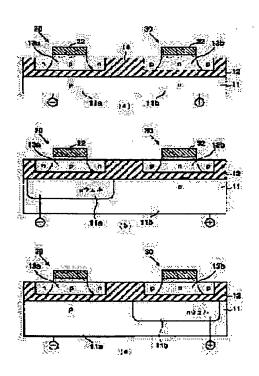
(22) Date of filing: 24.10.1996 (72)Inventor: TOSHIBA CORP YOSHIDA MASAKO OWAKI YUKITO

FUSE TSUNEAKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To make it possible to reduce more a parasitic capacitance in an SOI transistor and to speed up the operating speed of the SOI transistor. SOLUTION: The integrated circuit is one of a structure, wherein a CMOS circuit consisting of an N-channel MOS transistor 20 and a P-channel MOS transistor 30 is formed on an SOI substrate 10 with an Si layer 13 formed on an Si substrate 11 via an SiO2 film 12. In this case, the part, which is positioned under the formation region of the transistor 20, of the substrate 11 is formed into a partype region 110 the p formed into a p-type region 11a, the part, which is positioned under the formation region of the transistor 30, of the substrate 11 is formed into an n-type region 11b, a negative potential is applied to the region 11a and a positive potential is applied to the region 11b.



THIS PAGE BLANK (USPTO)

(2) (19) 日本国格群庁 (JP)

(4) 4 # 弉 噩 4

特開平10-125925 (11)特許出願公開番号

(43)公開日 平成10年(1998)5月15日

H01L 29/78 裁別記中 H01L 29/786 (51) Int Ca.

613A

621

(全7月) 0 間水畑の数5 客座酬录 未酬求

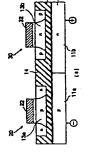
1	203000 OH 11 4	SCHOOL THE HILL (17)	WWW.
(21) 日西東本	10C767 - 9-1 Miles	くるヨロン	. Programme
			条式设件联之
(22) 出面日	平成8年(1996)10月24日		神校川県川島市幸区堀川町72番地
		(72) 発明者	吉田 雅子
			神疾川吳川萬市韓区小向東芝町 1 番
			式会社東芝研究開発センター内
		(72) 発明者	大路等人
			神疾川県川橋市等区小向東芝町1番
			式会社東芝研究開発センター内
		(72)発明者	台灣 格里
			神袋川県川角市韓区小向東芝町1番
			式会社東芝研究開発センター内
		(74)代理人	井理士的位式 武路 (外6名)

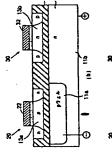
半時存供被回路 (54) [元野の名称]

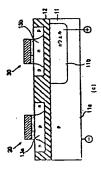
(57) [菱杓]

SOIトランジスタにおける寄生容量をより 低減することができ、501トランジスタの動作速度を 災に高速化する。 (報計)

MOS回路を形成した半導体集積回路において、Si塔 てS:烙13を形成したSO1塔板10にnMOSトラ ンシスタ20及びpMOSトランジスタ30からなるC 型領域11a、pMOSトランジスタ30の形成領域下 ではn型領域11bにし、p型領域11aに負の単位を [解決手段] Si 基板11.EにSiO2 数12を介し 板11をnMOSトランジスタ20の形成領域下ではp 印加し、n型領域115に近の祖位を印加する。







(特許請求の範囲)

C少なくとも1つのMOSトランジスタと、前配Si基 【構氷項1】Si基板上に絶縁版を介してSi増を形成 坂に所定の電位を与える手段とを具備してなることを特 JたSOI 基板と、このSOI 基板のSi 隔に形成され 徴とする半導体集積回路。

たnMOSトランジスタ及びpMOSトランジスタから [請求項2] Si 塔板上に絶縁数を介してSi 婚を形成 したSOI茘板と、このSOI茘板のSi層に形成され なるCMOS回路と、前記Si基板に負の単位を与える 手段とを具備してなることを特徴とする半導体集積回

[請求項3] Si 基板上に絶縁数を介してSi 隔を形成 ランジスタからなるCMO S回路を形成した半導体集積 したSO.I 基板に n M O S トランジスタ及び p M O S ト 回路においた。

前記Si基板をnMOSトランジスタ形成領域下ではp にし、p型領域に負の電位を印加し、n型領域に正の電 型領域、pMOSトランジスタ形成領域下ではn型領域 位を印加してなることを特徴とする半導体集積回路。

森

髭

森

髮

ランジスタからなるCMOS回路を形成した半導体集積 【請次項4】 Si 基板上に絶縁版を介してSi 陽を形成 したSOI 装板に n MO S トランジスタ及び p MO S ト 回路においた、

ランジスタ形成領域下に正の配位を印加してなることを 前記S:基板をnMOSトランジスタ形成領域下とpM OSトランジスタ形成領域下で絶縁分離し、pMOSト ランジスタ形成領域下に負の電位を印加し、nMOSト 特徴とする半導体集積回路。

茶

式

される複数のMOSトランジスタと、前記ボディ部の下 のSi島板に藤ボディ部の多数キャリアが体柱される祖 はを与える手段とを共偏してなることを特徴とする半導 【請求項5】Si基板上に絶縁版を介してSi増を形成 れ、チャネル下部の不純物領域である各々のボディ部が **電気的に分離され、且つ該ボディ部に所定の電位が印加** したSOI基板と、このSOI基板のSi烙に形成さ 4.集楼回路。

[発明の詳細な説明]

[000]

[発明の属する技術分野] 本発明は、Si 基板上に絶縁 数を介してSi麝を形成したSOI 基板にMOSトラン ソスタを作成した半導体集積回路に関する。

[0002]

め、Si基板上に純緑酸を介してSiBを形成したSO I 基板にMOSトランジスタを作成したSOIトランジ スタ技術の導入が行われ初めている(文献:C.E.Chen e t al,IEDM 84,pp702) 。このSOIトランジスタは、近 [従来の技術] 近年、LSIの回路動作を高遠化するた 数層容量が比較的小さいため高速動作に有利である。 【0003】図8に、従米のSOIトランジスタの一例

を形成してSOI 基板が構成され、Si贈3itnMOS を示す。Si基板1上にSi0,数2を介してSiM3 形成領域3aとpMOS形成領域3bに過程分離されて いる。そして、各々の領域33.3bに、ゲート做化膜 ス・ドレイン近畝路6(6 a, 6 b) を形成して n M O SトランジスタとpMOSトランジスタが形成されてい 5。なお、5;基板1は一位にプローティング又は接地 4(4 a, 4 b), ゲート電極5(5a,5b). "ソー されている。

[0004] しかしながら、この種のSOIトランジス ン領域とチャネル下部領域との関に位散層容量が存在す る。この拡散層容量は、バルク基板上のMOSトランジ タを用いた半導体集積回路においても、ソース・ドレイ スタよりも小さいものの無視できるものではなく. こ が寄生容量となり高速化の阻害要因なっている。

れている。なお、回9の (a) 14平面図、(b) 14断面 にコンタクトを取り、外部より単位を与えることが行わ 国であり、8はボディ邸、9はコンタクト邸を示してい [0005] また、図9に示すように、SOIトランジ スタにおいて一粒にポディと呼ばれるチャネル領域下部 の不純物領域に、しきい値制御政いはフローティングボ ナィ効果(ボディ部の単位が他語から切り舞され定まら なくなりトランジスタ特性がばらつく効果)移動のため

[0006] しかしながら、穏伴賊2上のSi増3の観 ジスタの場合で正の電圧を印加しオンさせようとした場 合等においては、ポディ部8の多数キャリアが追い払わ れ、コンタクト部9に印加した電圧が十分にチャネル下 母が得い場合、或いはゲート直接 5 にn 型MO S トラン 部に伝達されない。このため、しきい値を副領する、蛟 いはフローティングボディ効果を抑制する等の効果が得 られない。また、ある程度電位伝達が行われてもチャネ ル幅が広い場合は、コンタクト語9とボディ語8の距離 が増れている場所において自起所望の幼果を連成できる いという問題があった。

[0001]

ス・ドレイン領域とチャネル下部領域との間に寄生料 量が存在し、これが動作速度の高速化を妨げる委因とな ングボディ効果を抑制する方法もあるが、値々の愛因で [発明が解決しようとする課題] このように従来、50 | トランジスタを用いた半導体集積回路においても、ソ っていた。また、501トランジスタにおいて、ポティ 私位を制御することによりしきい値制御及びフローティ 十分な効果を得られない問題があった。

[0008] 本発明は、上記事情を考慮して成されたも ので、その目的とするところは、SOIトランジスタに おける寄生科量をより低減することができ、SOIトラ ンジスタの動作選度を更に高速化できる半導体集積回路

[0009]また、本発明の他の目的は、ボディ電位を を提供することにある。

3

3

制御するSOIトランジスタにおいて、しきい値制的及 びフローティングボディ効果の抑制を十分に達成し得る 半導体集積回路を提供することにある。

[0010]

 $A_{\lambda_{2}}$

【課題を解決するための手段】 (構成) 本発明の介子は、SO1トランジスタのS i 返 板の電位及び森電型を制御することにより、トランジス タを高速化することにある。即ち本発明は、次のような 構成を採用している。 (1) Si基板上に絶縁数を介してSi確を形成したSOI基板と、このSOI基板のSi確に形成された少なくとも1つのMOSトランジスタとを備えた半導体維修の時において、Si基板に所定の電位を与える手段を設けたこと。

(1-1) nMOSトランジスタにおいて、S;塔板に負の 配位を印加する。

(I-2) pMOSトランジスタにおいて、S;基板に正の 電位を印加する。

(3) Si基板上に絶縁数を介してSi砲を形成したSOI基板にnMOSトランジスタ及びpMOSトランジメタ及びpMOSトランジスタがpMOSトランジスタからなるCMOS回路を形成した半導体集積回路において、Si基板をnMOSトランジスタ形成領域下ではp整領域に、p整領域に負の電位を印めし、n整領域に正の電位をすること。

(4) Si 基板上に絶縁数を介してSiMを形成したSOI基板にnMOSトランジスタ及びpMOSトランジスタ及びpMOSトランジスタ及びpMOSトランジスタ及びpMOSトランジスタ及びpMOSトランジスタ形成が減下とpMOSトランジスタ形成が減下に高の相似を印刷し、nMOSトランジスタ形成が減下に高の相似を印刷すること。(5) Si 基板上に絶縁数を介してSiMを形成したSOI基板と、このSOIL版がのSiMに形成され、ナイネル下部の不被物が減やある名々のボディ部が減減的に分離され、ロンはボディ部に所定の相似が印刷される投数のMOSトランジスタと確認な手がはの関助される投数のMOSトランジスタと確認な手がはの関助される比で、ボディ部の下のSi基板に基ボディ部の参数キャリアが続起される単位を与える手段を整けたこと。

リアが移居される単位を与える手段を設けたこと。
(5-1) MOSトランジスタの各ボディ部に対応して、結構数下のS:基板设面に不純物は散磨を選択的に形成し、基不純物は放路に必要な電位を印加することする。 (作用) 本発明によれば、従来フローティング者しくは稼勉電位であったSOIトランジスタのS;基板に所留の指位を与えることにより、SOIトランジスタの高速

化をはかることができる。

[0011] nMOS-SOIトランジスタにおいてSi接近に負の配位を与えると、このSOIトランジスタのソース・ドレイン領域とチャネル部及びチャネル下部との間が空気化する。このため、省生容量が減少し、SOIトランジスタの高速化をはかることができる。同様に、pMOS-SOIトランジスタにおいてSi基板に近の電位を与えても寄生容量が減少し、SOIトランジスタの高速化をはかることができる。

[0012]

【発明の実施の形態】以下、本発明の詳細を図示の実施 珍隠によって説明する。 (第1の実績形態)図114、本発明の第1の実績形態に 係わるnMOS-SOIトランジスタの糞子構造を示す 析画図である。 [0013] 図中の10はSO1基板であり、このSO 1基板10は、Si基板11上にSiO2 版 (維建版) 12を介して薄版Si盤13を形成して構成される。Si碰13はP型不純物のドープによりpが強13aとなっており、このpが強13aにはnMOSーSO1ドランジスタ20が形成されている。即ち、Si碰13上にケート配配器22が形成され、ケート電船22の両値でSi極13にn型不純物がドービングされてソース・ドレイン位数隔23、24が形成されたいる。

(0014) ここまでの基本構成は従来と同様であるが、本実施形態ではSi基板11に負の電位が印加されている。このように本実施形態では、従来フローティング若しくは接地(又は電源電位Vcc)であったSi基板11に、負の電位を与える。すると、nMOS-SOIトランジスタ20のツース・ドレインであるn型拡散値とSOIの方式をのカップス・ルンであるn型拡散値とSOIのがボネル及びチャネル下部間が空流化し、寄生符整が減少する。このため、nMOS-SOIトランジスタ20の動作スピードの高速化をはかることが可能となる。

が可能となる。 (第2の実施形態) 図211、本発明の教2の実施形態に 係わるpMOS-SOIトランジスタの案子構造を示す 断面図である。なお、図1と同一部分には同一符号を付

して、その非しい説明は名略する。 [0015] 本実施形態が先に説明した第1の実施形態 と異なる点は、SO1トランジスタにDMOSを用いた ことである。Si始13はn型不純物のドープによりn 領域13bとなっており、このn 領域13bにはnMO S-SO1トランジスタ30が形成されている。即ち、 Si始13上にゲート酸化酸31を介してゲート電極3 2が形成され、ゲート電極32の同個でSi砲13にp 型が純物がドーピングされてソース・ドレイン鉱階略3 3、34が形成されている。

【0016】ここまでの基本構成は従来と同様である 6、本実施形態ではSi基板11に正の単位が印加され

ている。このように本実施形態では、従来フローティング若しくは接地(又は電道電位Vcc)であったS;基板11に、正の電位を与える。すると、pMOS-SO1トランジスタ30のソース・ドレインであるp型症散場とS01のn型チャネル及びチャネル下部間が空乏化し、寄生容量が減少する。このだめ、pMOS-SO1トランジスタ30の動作スピードの高速化をはかることが可能となる。

(第3の実施形態) 図3は、本条例の第3の実施形態に 係わるCMOS-SOIトランジスタの装子構造を示す 新面図である。なお、図1及び図2と同一部分には同一 符号を付して、その詳しい説明は名略する。

【0017】S: 個13は紫子分離S: 02 版14により分離されており、分離された台頭は、10割は13a.ngは13b)にnMOS-SO.1トランジスタ20とpMOS-SO.1トランジスタ20とpMOS-SO.1トランジスタ20とかるのトランジスタ20、30の基本構成は第1,2の実施形態と全く回様である。

[0018] 本実施形態では、pMOS-S01トランジスタ30とnMOS-S01トランジスタ20の基板11は共通にし、第1の実施形態と同様に基板11に対の配位を与える。すると、nMOS-S01トランジスタ20では第1の実施形態と同様に寄生容量の低下により動作スピードが選くなる。一方、pMOS-S01トランジスタ30では寄生容量の増加により動作スピードが組入なる。

[0019] しかし、nMOS-SO1トランジスタ20とpMOS-SO1トランジスタ30セインバータを1を成した回路全体としての動作速度は、デバイスバラメータに依存するが、後述する図4(b)に示すように、現在のサブミクロンデバイスではより高速になる結果が得られている。

【のの20】ここで、図4(a)は、S01基仮を用いたMOSトランジスタのしきい値の基板商圧投存性を示すグラフであり、(b)はS01基板を用いたMOSトランジスタで構成されたインパータチェーンの通ビ時間の基板可圧催労性のグラフである。基板はいずれもp.粒Siである。

[0021] 図4 (a) によると、pMOS-SOIトランジスタは、nMOS-SOIトランジスタはも基板では加工によるしきい値の変化が顕著である。基板に付加している負の電位が大きくなるほど、pMOS-SOIトランジスタのしきい値はかさくなっている。一方、nMOS-SOIトランジステでは、基板に付加している負の電位が大きくなっても、しきい値はあまり変化しな

【0022】図4(b)は、インパータチェーンの立ち上がり(up)時間と立ち下がり(down)時間とその半均時間(average)を選定したグラフである。このグラフによると、場近に貸の電信がかかるほど、p MOS -

SOIトランジスタ,nMOS-SOIトランジスタ共に遅延時間が短くなっている。

[0023] 南述のように、基板に負の電位をかけると、一枚に n MOS - SO 1 トランジスタは寄生容量の低下により動作スピードが速くなり、p MOS - SO 1 トランジスタには寄生容量の増加により動作スピードが遅くなる。しかし、図4(a)に見られるように、p MOS - SO 1 トランジスタは寄生容量の増加による動作スピードの低下よりも、しきい値の低下による動作スピードの地加の割合が大きく、その結果として高速化することになる。

【0024】なお、本実施形態では基板11をp型Si としたが、n型Siとしても何等問題ない。 (第4の実施形態) 凶5は、本発明の着4の実施形態に 係わるCMOS-SOIトランジスタの着子構造を示す 断面図である。なね、図3と同一部分には図ー符号を1 して、その詳しい説明は省略する。

[0025] 本実施形態は、Si基板11をp前体11 aとn領域11bに分離し、各々の領域11a, 11b に正負の電位を選択的に印加したものである。図5

(a)では、S:基板11において、pMOS-SO1トランジスタ20の下部設体11aをn盤にし、nMOS-SO1トランジスタ30の下部設体11bをp型にしている。そして、p密核11aに質の構位を印面し、n密核11bに正の高位を印面している。

[0026] 図5(b) では、下路領域116を含め基 後11をn型にし、下路領域11aをpウェルにしている。図5(c)では、下路領域11aを含め基版11を p型にし、下路領域11bをnウェルにしている。

[0027]このように本実施を駆むは、pMOS-S01トランジスタ30の基板には正の電位、nMOS-S01トランジスタ20の基板には真の電位を与えることにより、第1,2の実施を態と同様の効果で、pMOS,nMOS共に寄生を整の低下により高速化をはかることができる。なお、基板11のpn権を助は定バイア

スになるため電視は視れない。 (第5の実施形態) 図らは、本発明の第5の実施形態に 係わるCMOS-SOIトランジスタの業子構造を示す 断面図である。なお、図3と向一部分には同一符号を付して、その詳しい規則は名略する。

[0028] 本実施形配が第3の実施形態と異なる点は、Si始13のみならず、Si基板11も絶縁分離したことにある。即ち、図6 (a)では、Si確13を積分離するためのSiO2数14の下に、Si基板11を分離するための基板分離SiO2数15を捻げている。図6 (b)では、Si確13の親 分離とSi基板110分離を、洗過の分離SiO2数16を用いて行っ

いか。 [0029] そして、分産された基板11のnMOS-SO1トランジスタ20のドの前棟11mには角の英位

3

は11bには正の単位を印加するものとなっている。

ためのSi02数15又は16を抜けることにより、n MOS, pMOSの基板がn型かり型かに拘らず任意の [0030] 本実施形態では、Si 基板11を分離する **単位を基板に与えることができ、従ってSOIトランジ** スタをより高速化することができる。

(前6の実施形態) 図714、本発明の前6の実施形態に 新面図である。なお、図1と同一部分には同一符号を付 果わるnMOS~SO! トランジスクの牧子信道を示す して、その詳しい故則は名略する。

[0031] トランジスタ部の構成は第1の実施形態と S;基板をp型とし、埋込み酸化版(Si0~ 膜)12 また、前起図9(a)に示すように、トランジスタのポ ディ部となるp 領域1 3 a には、図示しないコンタクト 部を介して外部から所定の高位が印加されるものとなっ る。そして、n 領域18に負の電位を印加している。な お、の領域18は必ずしも必要なく、の領域18を設け 基本的に同様であるが、本実施形態ではこれに加えて、 ない場合はp型Si基板11に0Vを印加すればよい。 の下部のSi狢板11の表面にn钔俎18を赴けてい

し、技不純物層に負の電位を印加する、或いはp型の不 **純物隔とし 0 Vを印加してこの陽のワークファンクショ** ランジスタのポディ下部と埋め込み骸化酸12との境界 筋の空気化を低減し、盤ましくは多数キャリアを縁起さ せることができる。これにより、ボディ部の伝導特性を して、しきい値制御及びフローティングボディ効果抑制 [0032] 本実結形態では、nMOS-SOIトラン ジスタの埋め込み後化版 1.2の下部を n 型の不純物層と ンによりポテンシャルを引き下げること等により、数ト 向上させ、コンタクト邸に印加された私位を十分トラン ジスタのボディ邸に到達させることができ、その結果と を十分に実現することが可能となる。

数であれば用いることが可能である。さらに、SOI県 を用いることも可能である。その他、本発明の要旨を選 [0033]なお、本発明は上述した各実施形態に限定 されるものではない。実施形態ではゲート絶縁散として ちず、気化板、その他の発体散を用いることが可能であ SiOzのような低化版を用いたが、これに限らず絶縁 夏の祖込み絶縁校としてもSi0~のような依化校に段 5。また、SOI 仏板ののSiMの代りに別の半導体層 **製しない範囲で、甚々敷形して実施することができる。** (0034)

果フローティング若しくは投地電位であったSOIトラ [発明の効果] 以上非述したように本発明によれば、従 **ソジスタのSi 基板に所鉛の単位を与えることにより、**

SOIトランジスタにおける寄生容量をより低減するこ とができ、SOIトランジスタの動作速度を更に高速化 することができる。 [0035] 主た本発明によれば、ボディ電位を制御す るS01トランジスタにおいて、ポディ部の下のSi 基 仮に該ボディ部の多数キャリアが誘起される電位を与え ることにより、しきい値制均及ぴつローティングポディ 幼果の抑制を十分に達成することができる。

(図面の仮与な校別)

[図1] 第1の実施形態に係わるSOIトランジスタの 8子構造を示す断面図。

[図2] 第2の実施形態に係わる501トランジスタの 累子構造を示す断面図。

[図3] 第3の実施形態に係わるSOIトランジスタの

[図4] SOIトランジスタのしきい値の基板電圧依存 性とSOIインパータチェーンの延延時間の基板電圧低 常子構造を示す断面図 存性を示す特性図。

[因5] 算4の実施形理に係わる501トランジスタの

[図6] 第5の実施形態に保わる501トランジスタの 第子情 造を示す断面図。 紫子構造を示す断面図 [図1] 新6の実施形態に係わるSOIトランジスタの 紫子構造を示す断面図。

[図8] 従来のS O I トランジスタの君子構造を示す断

[図9] 従来のSOIトランジスタの紫子構造を示す平 面図と断面図。

【作号の規則】

0…S01塔板

1...S i 基板 1 a ... p #()#

(海绿版) 2...SiO2 📆 1 1 5 … n 新建

3...5 1.18

1 3 b ... n \$1114 3 a … p 新規

4…水子分割S;〇2 版

15.16…仏仏分社SiO2版

18 ··· n 5014

20…nMOS-SOIトサンジスタ 21,31…ゲート位化版

22,32…分上瓦極

23, 33…ソース拡散層

30…pMOS-SOI トランジスタ 24. 34…ドレイン抗散局

